

## **AURIX™ TC3xx Workshop: 32-Bit Multicore-Mikrocontroller-Familie (Aurix-2G Zweite Generation) - Live-Online-Training**

### **Ziele - Ihr Nutzen**

Sie kennen die Architektur, die wesentliche On-chip-Peripherie und die Besonderheiten (insbesondere der Multicore-Architektur und Safety-Erweiterungen) der Bausteinfamilie AURIX™.

Sie können Low-Level-Treiber für diese Hardware einsetzen, Beispiele für Ihre Zwecke adaptieren und mit einem Debugger testen.

Die zahlreichen Übungen verleihen der Schulung einen Software-Workshop-Charakter.

Ihre Vorteile:

Effektiver, zeitsparender Einstieg in die Gesamthematik (3-monatige Zeitersparnis nach Angabe von Kunden)

Praktische Tipps zu Multicore und Safety

Übungen als Download

### **Teilnehmer**

Hardware- und Software-Architekten, Hardware- und Software-Entwickler, Testingenieure // HINWEIS: Für die Teilnahme am Aurix-2G-Training ist ein gültiges NDA (Non-disclosure Agreement) erforderlich. ADAS-spezifische Blöcke werden nicht behandelt.

### **Voraussetzungen**

ANSI-C Kenntnisse; Erfahrung mit Programmierung und Aufbau eines Mikroprozessor-/Mikrocontrollersystems.

### **Live Online Training**

17.11. – 21.11.2025 3.500,00 € 5 Tage

\* Preis je Teilnehmer, in Euro zzgl. USt.

Anmeldecode: L-AURIX2G

### **Präsenz-Training - Deutsch**

| <b>Termin</b>       | <b>Dauer</b> |
|---------------------|--------------|
| 22.09. – 26.09.2025 | 5 Tage       |
| 26.01. – 30.01.2026 | 5 Tage       |

### **Live-Online - Englisch**

| <b>Termin</b>       | <b>Dauer</b> |
|---------------------|--------------|
| 17.11. – 21.11.2025 | 5 Tage       |

### **Präsenz-Training - Englisch**

| <b>Termin</b>       | <b>Dauer</b> |
|---------------------|--------------|
| 22.09. – 26.09.2025 | 5 Tage       |
| 26.01. – 30.01.2026 | 5 Tage       |

## **AURIX™ TC3xx Workshop: 32-Bit Multicore-Mikrocontroller-Familie (Aurix-2G Zweite Generation) - Live-Online-Training**

### **Inhalt**

#### **Infineon AURIX™ 2G Architecture**

- Multicore architectural blocks
- Interconnectivity
- Consequences for software architectures

#### **CPU Subsystem**

- Multicore instruction set extensions
- Registers files and context switching
- Memory Protection Unit (software monitoring)

#### **Internal Connectivity**

- Crossbar and peripheral bus
- CPU clustering
- Performance aspects for software

#### **Memory**

- Memory map
- Configuration options
- Cache and software handling
- Types
- Hierarchy
- Test

#### **Infineon Low-Level Drivers: Overview**

- Configuration structures
- Application programming interface
- Library distribution
- Frameworks and demos

#### **Ports**

- General purpose IO
- Alternate connections (multiplexing)
- Pin mapping

#### **Exceptions and Handling**

- Traps (hardware and software)
- Interrupts (hardware and software)
- Vector tables
- Broadcast software interrupts (core synchronization)
- External interrupts

#### **Direct Memory Access Controller DMA**

- Move engines
- Triggering (hardware and software)
- Advanced features (software relaxation)

#### **Timer**

- System Timer (STM)
- General Purpose Timer 12 (GPT12)
- Capture Compare Unit (CCU)
- Watchdog Timer (WDT)
- Temporal Protection Timer (TPS, Exception Timer)
- Generic Timer Module (GTM): Overview

#### **Safety and Security**

- Safety measures

- Safety Management Unit (SMU)
- Protection mechanisms
- IO monitoring
- Hardware security module (HSM): implementation overview

**Multicore Aspects**

- Startup and boot
- Low power options
- Communication and synchronization
- Intrinsics usage in C/C++
- Tool aspects (compiler, linker)
- Debugging (AMP, SMP)

**System Control**

- Reset: sources, types and consequences
- Boot: software configuration and modes
- Clocking
- Emergency stop requests

**Power Management System (PMS)**

- Supply generation options
- Embedded voltage regulators
- Standby and wakeup
- Die temperature sensor

**Synchronous and Asynchronous Standard Peripherals**

- Micro Second Channel (MSC)
- Serial Peripheral Interface (QSPI)
- Inter IC Interface (I2C)
- UART (ASCLIN)

**Sensor Interfaces**

- SENT
- PSI5
- PSI5-S

**Analog To Digital Converter**

- EVADC: SAR conversion
- EDSADC: Delta-sigma conversion
- Enhanced features offloading software

**Automotive Interfaces: Overview**

- LIN
- CAN
- FlexRay®

**High Speed Serial Link Interface (HSSL)****Ethernet: Overview****Debug**

- Interfaces
- Tracing
- Multicore aspects

**Übungen**

- Es werden zahlreiche Übungen mit einem Infineon AURIX™ Board durchgeführt. Dabei kommen u.a. folgende Aspekte zur Anwendung: Einsatz von Low-Level-Treibern, Schutzmechanismen, Interrupt Controller, DMA-Controller, System-Timer, Port, Multicore-Aspekte, Monitoring, Performance-Messungen uvm.

**HINWEIS: Die Aurix-2G-Kursunterlagen sind auf Englisch**

-----  
**HINWEIS: Für die Teilnahme am Aurix-2G-Training ist ein gültiges NDA (Non-disclosure Agreement) mit dem Bauteilhersteller erforderlich.**  
-----

**Bitte beachten Sie, dass ADAS-spezifische Blöcke nicht explizit im Training behandelt werden. Bei Bedarf wenden Sie sich bitte vorab an unser Servicebüro unter Tel. +49 (0)89 450614-71.**